# САНКТ­ПЕТЕРБУРГСКИЙ НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ УНИВЕРСИТЕТ ИНФОРМАЦИОННЫХ ТЕХНОЛОГИЙ, МЕХАНИКИ И ОПТИКИ

# ФАКУЛЬТЕТ ПИИКТ

Лабораторная работа №1

Функциональная схемотехника

Введение в проектирование цифровых интегральных схем

Вариант No.8

Выполнили:

P3210

Нгу Фыонг Ань

Нго Ши Тханг

Преподаватель:

Денисов Алексей Константинович

Санкт-Петербург

2019

Содержание:

1. Цель работы стр.2
2. Задание в соответствии с вариантом стр.2
3. Часть 1 (LTspice) стр.2
   1. Схема вентиля на транзисторах стр.2
   2. Символ вентиля и схема его тестирования стр.3
   3. Временная диаграмма процесса тестирования вентиля стр.3
   4. Результат измерения задержки распространения через вентиль стр.4
   5. Максимальная частота работы вентиля стр.4
   6. Схема разработанного БОЭ стр.5
   7. Символ разработанного БОЭ и схема тестирования стр.6
   8. Временная диаграмма тестирования БОЭ стр.7
   9. Результат измерения задержки распространения сигнала через БОЭ и максимальная частота работы стр.7
4. Часть 2 (Vivado) стр.8
   1. Код разработанного модуля БОЭ стр.8
   2. Код разработанного тестового окружения БОЭ стр.9
   3. Диаграмма процесса тестирования БОЭ стр.11

1. Цели:
   * + Получить базовые знания о принципах построения цифровых интегральных схем с использованием технологии КМОП.
     + Познакомиться с технологией SPICE моделирования схем на транзисторах.
     + Получить навыки описания схем базовых операционных элементов (БОЭ) комбинационного типа на вентильном уровне с использованием языка описания аппаратуры Verilog HDL.
2. Задание:

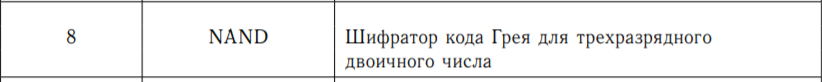


Таблица 1. Задание согласно варианту

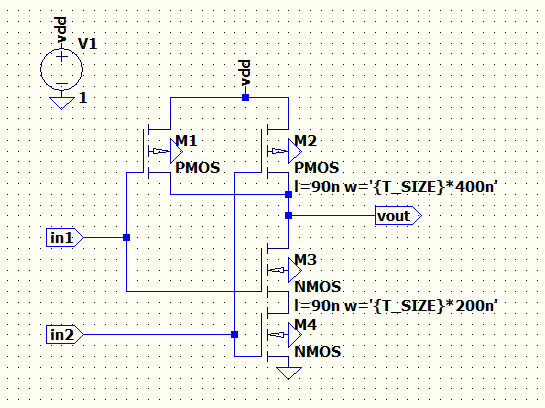
1. LTspice
   1. Схема NAND на два входа 

Рисунок 1. Схема NAND на два входа

* 1. Символ вентиля NOR и схема его тестирования изображены

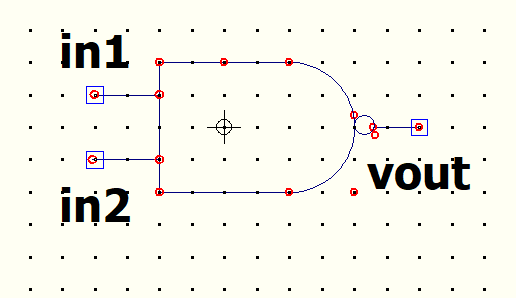


Рисунок 2. Символ NAND

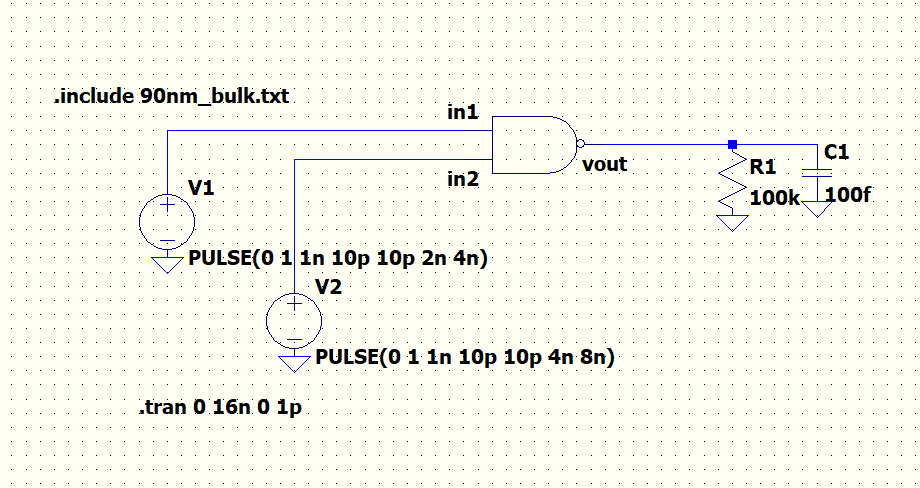


Рисунок 3. Схема тестирования

* 1. Временная диаграмма процесса тестирования вентиля

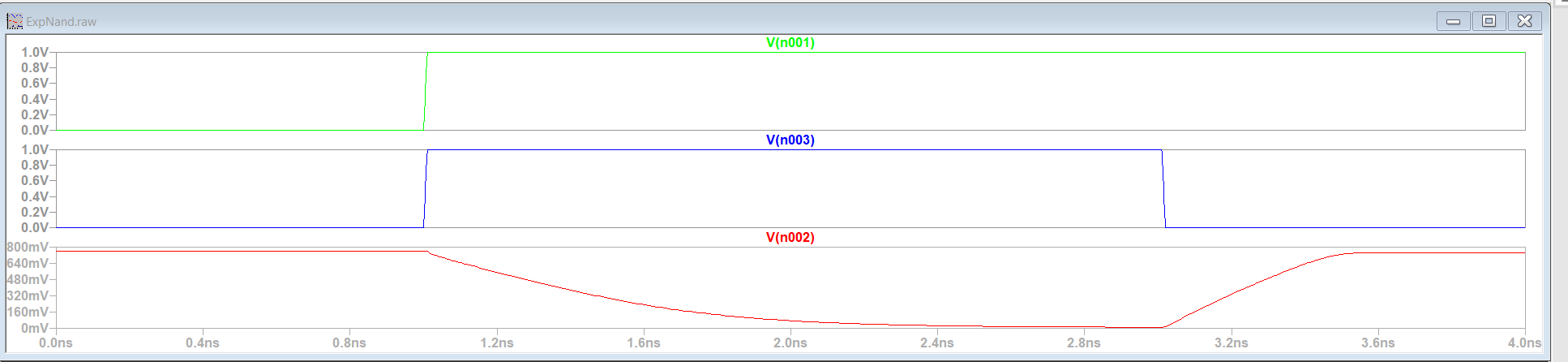


Рисунок 4. Временная диаграмма тестирования вентиля И-НЕ на два входа

* На рисунке 4 представлена временная диаграмма тестирования вентиля И-НЕ на два входа.
* Зеленная линия показывает напряжение на первом входе, синяя – на втором входе, красная – результирующее напряжение на выходе вентиля.
* Период синей линии в два раза больше периода зеленней, таким образом, на входе получаются все возможные двоичные комбинации (00, 01, 10, 11).
  1. Результат измерения задержки

Цена деления: 0.4 ns

Задержка: 0.73 ns

* 1. Максимальная частота, на которой работает вентиль определялась путем увеличения частоты подаваемых сигналов.

Для это установили след. значения периодов на источниках питания (0.7 ns)

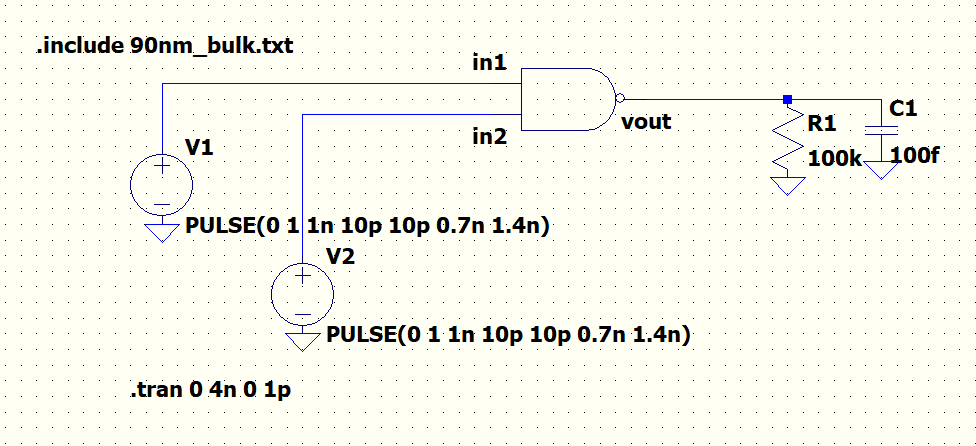
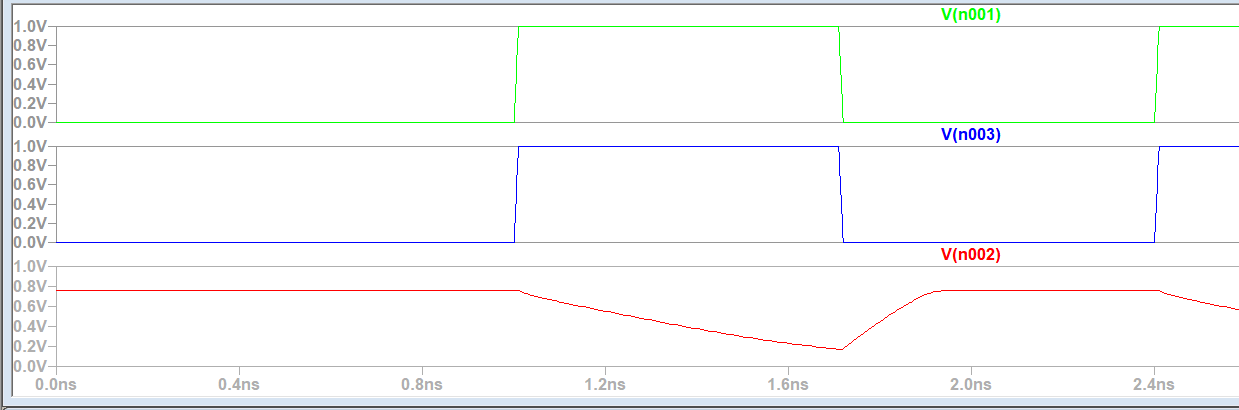


Рисунок 5 Схема нахождения максимально возможной частоты

Док-во работоспособности вентиля на диаграмме ниже.



*Рисунок 6 Диаграмма, подтверждающая работоспособность*

Частота: 1/1.4 = 0.8 ГГц

* 1. Схема разработанного БОЭ шифратора кода Грея для трехразрядного двоичного числа

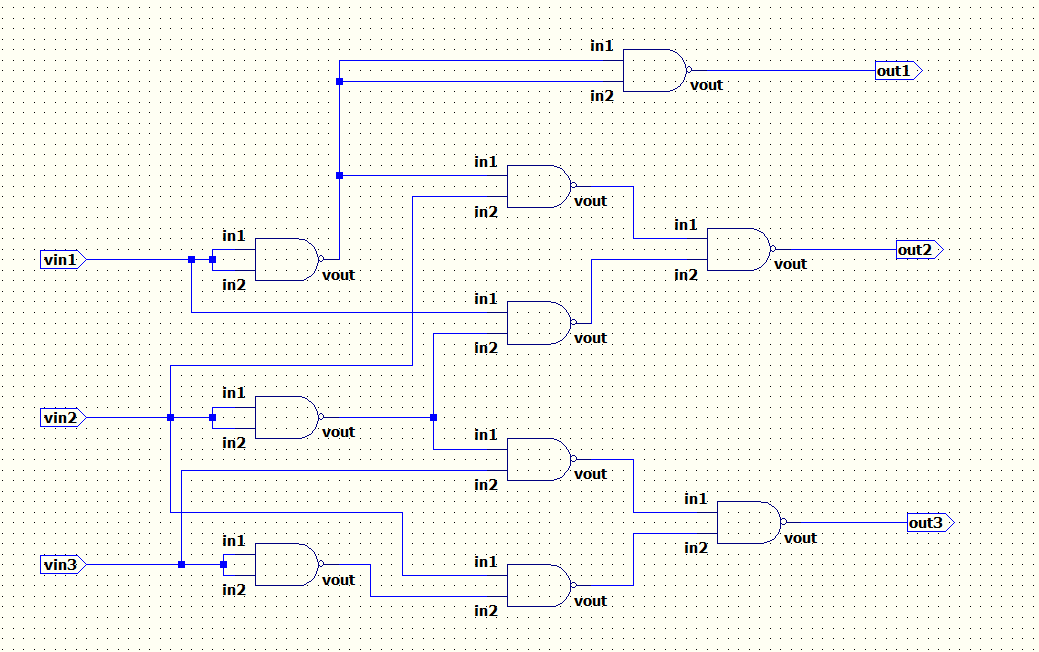


Рисунок 7. Схема шифратора кода Грея для трехразрядного двоичного числа

3.7. Символ разработанного БОЭ (bcd99) и схема его тестирования:

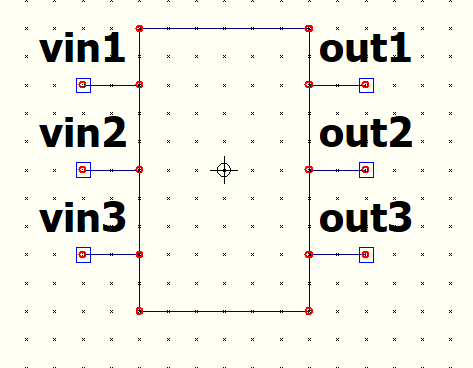


Рисунок 8 Символ дляшифратора кода Грея

Для тестирования задержки полученного БОЭ была составлена схема:

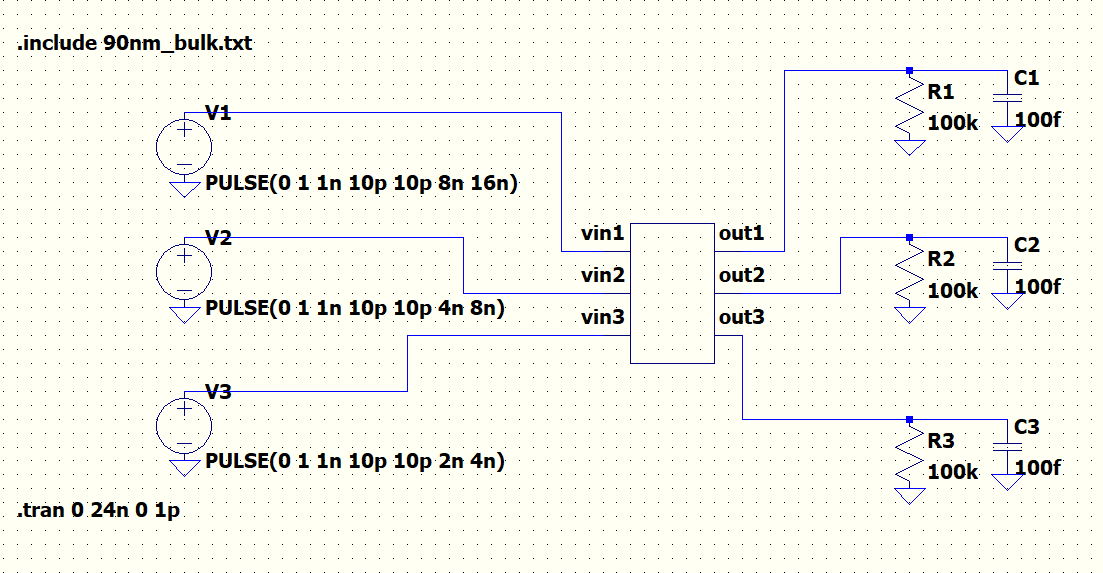


Рисунок 9 Схема тестирования

3.8. Временная диаграмма тестирования БОЭ:

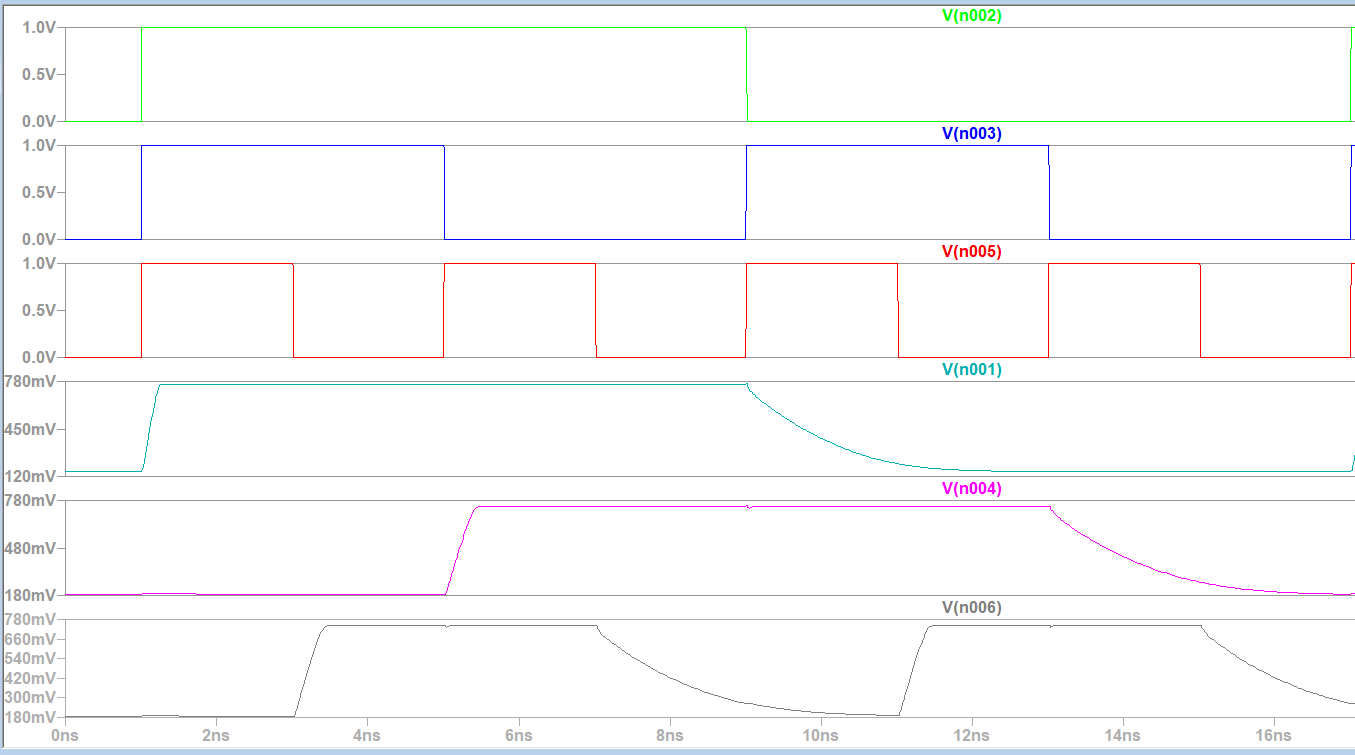


Рисунок 10 Диаграмма временной тестирования шифратора

3.9. Измерение задержки распространения сигнала через БОЭ и определение максимальной частоты его работы.

Из диаграммы Рисунок 16 Диаграмма временной видно, что:

Максимальная задержка – 0.5 ns

Минимальная задержка - 0.2 ns

Максимальная частота была найдена путем уменьшения периода импульса источника (значение периода 4 ns). Таким образом максимальная частота – 0.25 ГГц

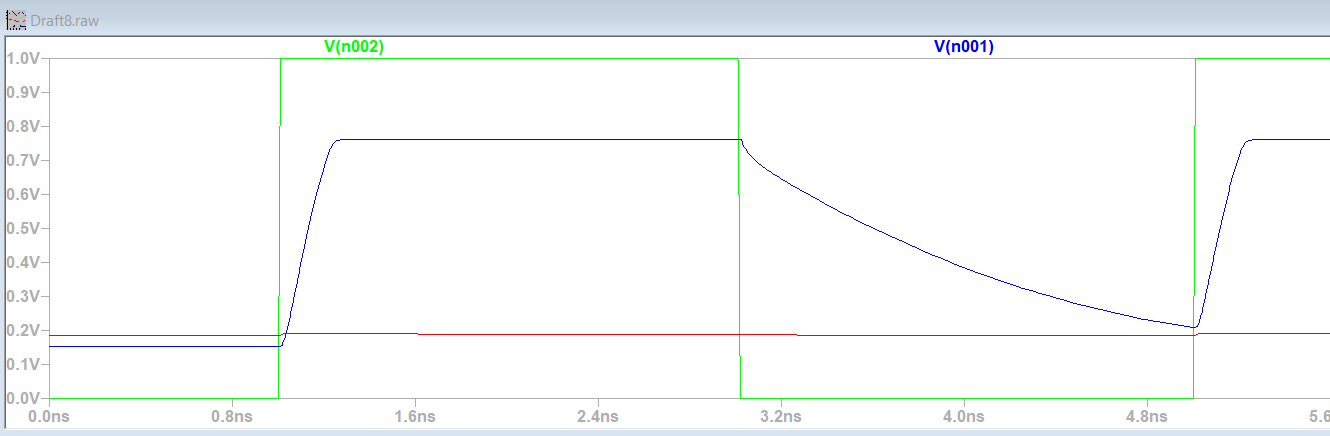


Рисунок 17 Диаграмма изменения сигнала при максимальной частоте

4. Vivado:

4.1. Код разработанного модуля БОЭ

#encoder.v

`timescale 1ns / 1ps

module encoder(

input a,

input b,

output c

);

wire na,nb,y1,y2;

nand(na, a, a);

nand(nb, b, b);

nand(y1, na, b);

nand(y2, a,nb);

nand(c, y1, y2);

endmodule

#encoderAll.v

`timescale 1ns / 1ps

module encoderAll(

input x1i,

input x2i,

input x3i,

output y1o,

output y2o,

output y3o

);

wire nx1;

nand(nx1,x1i,x1i);

nand(y1o,nx1,nx1);

encoder encoder2(

.a(x1i),

.b(x2i),

.c(y2o)

);

encoder encoder3(

.a(x2i),

.b(x3i),

.c(y3o)

);

endmodule

4.2. Код тестового окружения для БОЭ :

`timescale 1ns / 1ps

module grey\_main;

reg x1, x2, x3;

wire y1, y2,y3;

encoderAll encode(

.x1i(x1),

.x2i(x2),

.x3i(x3),

.y1o(y1),

.y2o(y2),

.y3o(y3)

);

integer i;

reg [2:0] test;

initial begin

for (i = 0; i<8; i=i+1)

begin

test = i;

x1 = test[2];

x2 = test[1];

x3 = test[0];

#10

$display("Input %b%b%b; Output %b%b%b",x1,x2,x3,y1,y2,y3);

end

#10 $stop;

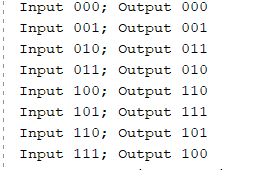
end

endmodule

4.3. Временная диаграмма тестирования БОЭ и вывод в консоль, подтверждающий правильность работы схемы:



*Рисунок 18 Временная диаграмма тестирования*



*Рисунок 19 Результат проверки работоспособности схемы*